

**Japanese Patent Office
Patent Laying-Open Gazette**

Patent Laying-Open No. 7-326714
Date of Laying-Open: December 12, 1995
International Class(es): H 01 L 27/04
 21/822
 G 06 F 15/78

(11 pages in all)

Title of the Invention: One Chip Controller and Electronic Equipment Using the Same

Patent Appln. No. 6-119382
Filing Date: May 31, 1994
Inventor(s): Nobutaka NISHIGAKI

Applicant(s): TOSHIBA CORPORATION

(transliterated, therefore the spelling might be incorrect)

THIS PAGE BLANK (USPTO)

Partial English Translation of
Japanese Patent Laying-Open No. 7-326714
(translation of the underlined portions)

A pin Pc, Pd dedicated to the PN junction circuit device 11a is provided with a forward current path as indicated in the figure by a broken line, and a signal with a variation in voltage obtained from the dedicated pin Pc, Pd is externally guided as a temperature detection signal TH.

When the temperature detection signal TH exceeds a set voltage value, a variety of CPU temperature control commands are issued. In response, a predetermined status register and SMI register are set and a system management interrupt (SMI) is issued.

With the CPU temperature control's SMI as one factor, CPU 11 is subjected to the SMI and furthermore, as controlled by CPU 11, a clock switch control signal CLK-C, a clock stop control signal STP-CLK and the like are output.

As a device for measuring the chip's internal temperature, a buffer circuit 50 is embedded and a delay in response that is introduced by a variation in temperature internal to the chip is utilized to measure the chip's internal temperature.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-326714

(43)公開日 平成7年(1995)12月12日

(51)Int.Cl.
H01L 27/04
21/822
G06F 15/78識別記号
510 G
P

F I

H01L 27/04

F 審査請求 未請求 請求項の数22 O L (全11頁)

(21)出願番号 特願平6-119382

(22)出願日 平成6年(1994)5月31日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 西垣 信孝

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

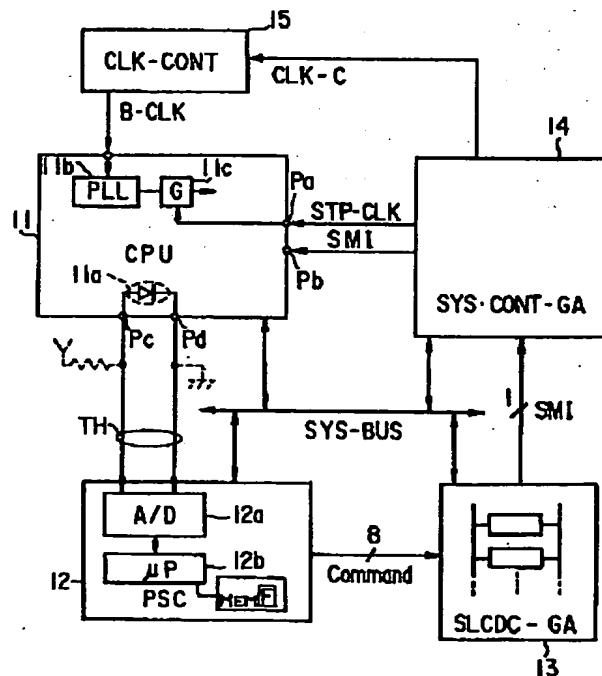
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】1チップコントローラ及び同コントローラを用いた電子機器

(57)【要約】

【目的】本発明は、半導体集積回路により1チップ化されたコントローラに於いて、チップ内部に温度測定用の素子を設けて、チップ内部の温度変化を迅速かつ正確に認識できる構成としたことを特徴とする。

【構成】半導体集積回路により1チップ化されたCPUデバイスの基板上に、温度によって特性が変化するPN接合回路素子11aを設け、同素子11aの信号をチップ外部に導出してチップ内部の温度を検知することを特徴とする。



【特許請求の範囲】

【請求項1】 半導体集積回路により1チップ化されたコントローラに於いて、コントローラが形成される回路基板の一部に、温度によって特性が変化する素子を設け、同素子の特性信号をチップ外部に導出してチップ内部の温度を検知することを特徴とする1チップコントローラ。

【請求項2】 半導体集積回路により1チップ化されたコントローラに於いて、コントローラが形成される回路基板の一部に、温度測定のためのPN接合回路素子を埋め込み、同素子に専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得ることを特徴とする1チップコントローラ。

【請求項3】 半導体集積回路により1チップ化されたコントローラに於いて、コントローラが形成される回路基板の一部に、温度測定のためのトランジスタ回路素子を埋め込み、同素子に専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得ることを特徴とする1チップコントローラ。

【請求項4】 半導体集積回路により1チップ化されたコントローラに於いて、コントローラが形成される回路基板の一部に、サーミスタ回路を埋め込み、同サーミスタ回路に専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得ることを特徴とする1チップコントローラ。

【請求項5】 半導体集積回路により1チップ化されたコントローラに於いて、コントローラが形成される回路基板の一部に、温度測定のための遅延回路素子を埋め込み、同素子に専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得ることを特徴とする1チップコントローラ。

【請求項6】 半導体集積回路により1チップ化されたコントローラに於いて、同コントローラが形成される回路基板と一体にサーミスタを樹脂封止し、同サーミスタに専用のピンを割り付けて、同ピンよりチップの温度検知信号を得ることを特徴とする1チップコントローラ。

【請求項7】 半導体集積回路はバイポーラCMOSにより構成される請求項1又は2又は3又は4又は5又は6記載の1チップコントローラ。

【請求項8】 コントローラが形成される回路基板に、温度によって特性が変化する複数個の素子を設け、この各素子を直列接続した請求項1記載の1チップコントローラ。

【請求項9】 コントローラが形成される回路基板に、温度によって特性が変化する複数個の素子を設け、この各素子に少なくとも1本の接続ピンを割り付けた請求項1記載の1チップコントローラ。

【請求項10】 半導体集積回路により、キャッシュメモリ付きのCPUが構成される請求項1又は2又は3又は4又は5又は6又は7記載の1チップコントローラ。

【請求項11】 半導体集積回路により、表示系制御回路が構成される請求項1又は2又は3又は4又は5又は6又は7記載の1チップコントローラ。

【請求項12】 温度検知に専用の2本のピンを設けた請求項1又は2又は3又は4又は5又は6又は7記載の1チップコントローラ。

【請求項13】 温度検知に専用の1本のピンを設け、同ピンに素子の一端を接続し、他の特定ピンに素子の他端を共通接続した請求項1又は2又は3又は4又は5又は6又は7記載の1チップコントローラ。

【請求項14】 半導体集積回路基板の一部に、温度によって特性が変化する素子を設け、接続ピン配列の一部に、上記素子に回路接続される専用ピンを設けてなる1チップコントローラと、上記専用ピンを介して1チップコントローラの温度を検知する温度検知回路と、この温度検知回路の検知出力が設定温度を超えたとき半導体集積回路上の発熱源となる内部回路の動作を抑制制御するネガティブフィードバックループとを具備してなることを特徴とする1チップコントローラを用いた電子機器。

【請求項15】 クロック信号により内部回路が動作する半導体集積回路基板の一部に、温度によって特性が変化する素子を設け、接続ピン配列の一部に、上記素子に回路接続される専用ピンを設けてなる1チップコントローラと、上記専用ピンを介して1チップコントローラの内部温度を検知する温度検知回路と、この温度検知回路の検知出力をデジタル量の信号に変換するアナログデジタル変換回路と、このデジタル量の温度検知信号が設定温度を超えたとき特定の制御信号を発生する手段と、この特定の制御信号により上記半導体集積回路上の発熱源となる内部回路の動作を抑制する手段とを具備してなることを特徴とする1チップコントローラを用いた電子機器。

【請求項16】 クロック信号により内部回路が動作する半導体集積回路基板の一部に、温度によって遅延時間が変化する遅延回路素子を埋め込み、接続ピン配列の一部に、上記素子に回路接続される専用ピンを設けてなる1チップコントローラと、上記専用ピンを介し、チップ内の温度変化で生じる応答遅延により1チップコントローラの内部温度を検知する温度検知回路と、この温度検知回路の検知出力をデジタル量の信号に変換するアナログデジタル変換回路と、このデジタル量の温度検知信号が設定温度を超えたとき特定の制御信号を発生する手段と、この特定の制御信号により上記半導体集積回路上の発熱源となる内部回路の動作を抑制する手段とを具備してなることを特徴とする1チップコントローラを用いた電子機器。

【請求項17】 半導体集積回路基板の内部回路はバイポーラCMOSにより構成される請求項14又は15又は16記載の1チップコントローラを用いた電子機器。

【請求項18】 半導体集積回路基板の内部回路はCM

OSにより構成される請求項12又は13記載の1チップコントローラを用いた電子機器。

【請求項19】半導体集積回路基板の内部回路によりキャッシュメモリ付きのCPUを構成した請求項14又は15又は16記載の1チップコントローラを用いた電子機器。

【請求項20】温度検知回路の検知出力により、内部回路の動作クロックを抑制制御する請求項14又は15又は16記載の1チップコントローラを用いた電子機器。

【請求項21】温度検知回路の検知出力により、内部回路の動作クロックを供給/停止制御する請求項14又は15又は16記載の1チップコントローラを用いた電子機器。

【請求項22】温度検知回路の検知出力により、機器本体をオートパワーオフ制御する手段をもつ請求項14又は15又は16記載の1チップコントローラを用いた電子機器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、クロック信号並びにデジタル信号を扱う、半導体集積回路により1チップ化されたコントローラ、及び同1チップコントローラを用いた電子機器に関する。

【0002】

【従来の技術】クロック信号及びデジタル信号を扱う半導体集積回路により1チップ化されたコントローラとして、CPUチップ、及びそのファミリを構成する各種コントローラ等が存在する。

【0003】これらクロック信号及びデジタル信号を扱う1チップコントローラは、近年、高速化の一途を辿り、これに伴い、消費電力の増大、及びこれに伴うチップの温度上昇等が大きな課題となっている。

【0004】例えば、CPUチップを例に採ると、上記課題を解決すべく、CMOSの採用等による消費電力の低減化、低電圧化、フィンの改良等による対策が講じられているが、その一方で、CPUの処理速度を決定するクロックスピードは、ここ数年の間に、数MHz帯から数十MHz帯に上がり、上記対策を施してもチップの消費電力及びそれに伴う発熱温度は上昇の一途を辿っている。

【0005】一方、上記CPUチップの実装環境面では、例えばポータブルコンピュータを例に採ると、機器本体の、より小型軽量化、省スペース化等が要求され、これに伴い、単位容積当たりの電子部品実装密度は益々高くなっている。

【0006】このような環境下で上記CPUチップを実装したとき、フィンの実装スペースを確保することは難しく、又、周辺にも多くの発熱素子が実装されることから、機構上の放熱効果は期待できない。

【0007】この際、CPUチップの温度上昇を放置し

ておくと、当然のことながら、CPU自身の誤動作を招き、更にはハードウェア異常、回路破壊等の障害が発生し、復旧が困難になる。

【0008】そこで、従来では、CPUチップに比較的近い箇所に、温度ヒューズを設けたり、又はCPUチップの温度を測定する素子を実装して、その素子の検出温度によりCPUのクロックを切り替え制御する手段が講じられる。

【0009】しかしながら、従来のこの種、温度制御手段は、実際にはCPUチップの内部温度を直接測定することができず、パッケージや、プリント基板等を介在して間接的に測定することになり、温度変化を迅速かつ正確に認識できない。

【0010】そのため、従来では、安全性を見越して大きな余裕度をもたせた設定温度によりクロックの切り替え制御等を行なわなければならず、従ってCPUの高速性能をフルに発揮できない。

【0011】

【発明が解決しようとする課題】上述したように、CPUチップ等のクロック信号及びデジタル信号を扱う1チップコントローラに於いて、従来では、チップ内部の温度変化を迅速かつ正確に認識することができず、そのため安全性を見越して大きな余裕度をもたせた設定温度によりクロックの切り替え制御等を行なわなければならないことから、CPUの性能をフルに発揮できないという問題があった。

【0012】本発明は上記実情に鑑みなされたもので、チップ内部の温度変化を迅速かつ正確に認識できる1チップコントローラを提供することを目的とする。

【0013】又、本発明は、1チップコントローラ内部の温度変化を迅速かつ正確に1チップコントローラ内部の回路制御に反映させて、1チップコントローラを使用限界に近い状態にて効率よく駆動制御できる1チップコントローラを用いた電子機器を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、半導体集積回路により1チップ化されたコントローラに於いて、コントローラが形成される回路基板の一部に、温度によって特性が変化する素子を設け、同素子の特性信号をチップ外部に導出してチップ内部の温度を検知することを特徴とする。

【0015】上記コントローラの望ましい構成例として、回路基板の一部にPN接合回路素子を埋め込み、同素子に専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得る構成とする。

【0016】更に、上記コントローラの望ましい構成例として、回路基板の一部にトランジスタ回路素子を埋め込み、同素子に専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得る構成とする。

【0017】更に、上記コントローラの望ましい構成例として、回路基板の一部にサーミスタ回路を埋め込み、同サーミスタ回路に専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得る構成とする。

【0018】更に、上記コントローラの望ましい構成例として、回路基板の一部に温度測定のための遅延回路素子を埋め込み、同素子に専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得る構成とする。

【0019】更に、上記コントローラの望ましい構成例として、回路基板と一体にサーミスタを樹脂封止し、同サーミスタに専用のピンを割り付けて、同ピンよりチップ内部の温度検知信号を得る構成とする。

【0020】更に、上記コントローラの望ましい構成例として、コントローラをバイポーラCMOSで構成する。

【0021】更に、上記コントローラの望ましい構成例として、半導体集積回路はキャッシュメモリ付きのCPUを構成する。

【0022】更に、上記コントローラの望ましい構成例として、半導体集積回路は表示系制御回路を構成する。

【0023】又、本発明は、1チップコントローラを用いた電子機器に於いて、半導体集積回路基板の一部に、温度によって特性が変化する素子を設け、接続ピン配列の一部に、上記素子に回路接続される専用ピンを設けてなる1チップコントローラと、上記専用ピンを介して1チップコントローラの温度を検知する温度検知回路と、この温度検知回路の検知出力が設定温度を超えたとき半導体集積回路上の発熱源となる内部回路の動作を抑制制御するネガティブフィードバックループとを具備してなることを特徴とする。

【0024】又、本発明は、1チップコントローラを用いた電子機器に於いて、クロック信号により内部回路が動作する半導体集積回路基板の一部に、温度によって特性が変化する素子を設け、接続ピン配列の一部に、上記素子に回路接続される専用ピンを設けてなる1チップコントローラと、上記専用ピンを介して1チップコントローラの内部温度を検知する温度検知回路と、この温度検知回路の検知出力をデジタル量の信号に変換するアナログーデジタル変換回路と、このデジタル量の温度検知信号が設定温度を超えたとき特定の制御信号を発生する手段と、この特定の制御信号により上記半導体集積回路上の発熱源となる内部回路の動作を抑制する手段とを具備してなることを特徴とする。

【0025】

【作用】半導体集積回路により1チップ化されたコントローラに於いて、コントローラが形成される回路基板の一部に設けられた、温度によって特性が変化する素子（例えばPN接合回路素子、又はトランジスタ回路素子、又はサーミスタ回路等）は、回路基板自体の温度を直接に受けて特性（PN接合回路素子、及びトランジ

タ回路素子の場合は温度ドリフト特性、サーミスタ回路の場合は抵抗値）が変化する。この特性変化の信号を温度検知信号として専用ピンを介しチップ外部に導出することで、回路基板自体の温度を直接測定することができ、チップ内部の温度を迅速かつ正確に検知することができる。

【0026】又、上記した内部温度検知機能をもつ1チップコントローラを用いた電子機器に於いて、上記専用ピンを介して導出された信号をデジタル量の信号に変換し、そのデジタル量の温度検知信号が設定温度を超えたとき、特定の制御信号（例えば強制割込み）を発生することで、発熱源となる内部回路の動作を抑制する。これにより、1チップコントローラ内部の温度変化を迅速かつ正確に1チップコントローラ内部の回路制御に反映させることができ、1チップコントローラを使用限界に近い高速クロックにて効率よく駆動制御できる。

【0027】

【実施例】以下図面を参照して本発明の一実施例を説明する。

20 【0028】図1は本発明の一実施例による装置（システム）の構成を示すブロック図である。

【0029】図1に於いて、11は半導体集積回路により1チップ化されたキャッシュメモリ付きのCPU（CPUデバイス）であり、ここでは、バイポーラCMOSにより構成され、クロック停止により命令の実行を停止制御するためのクロック停止制御信号（S T P - C L K）を入力する制御端子（Pa）と、強制割込み（ここではS M Iと称されるシステム管理割込みを例にとる）を受け付ける強制割込み端子（Pb）をもつ。

30 【0030】尚、この一実施例では、CPU11のチップ内温度を低減する際の制御に、上記制御端子（Pa）に供給されたクロック停止制御信号（S T P - C L K）を本来のクロック停止の制御に用いず、これに代って、CPU11に供給するクロックの周波数を下げてスピードを落とす際の切り換え制御に用いて、チップ内温度を低減するCPU温度制御を例にとる。

【0031】又、このCPU11のチップ内部には、CPUを構成する内部の集積回路基板上に、当該チップ内部の温度を測定するための、例えば、シリコンダイオードを構成するPN接合回路素子11aが設けられ、チップの接続端子部には、上記PN接合回路素子11aに専用の2本のピン（Pc, Pd）が割り付けられる。

40 【0032】上記PN接合回路素子11aにより構成されるシリコンダイオードは、既に知られるように、-2~-2.5mV/°C程度の温度ドリフト特性をもつ。従ってアノード-カソードに順方向電流路を形成すると、周囲温度によってアノード側の電圧が変化し、温度上昇に伴って電圧が下降する。そこで、このPN接合回路素子11aの専用ピン（Pc, Pd）に、図示破線で示すように、順方向電流路を形成し、上記専用ピン（Pc, Pd）より得られ

る電圧変化を伴う信号を温度検知信号 (TH) として外部へ導出する。

【0033】又、上記CPU11には、外部より入力された基準クロック (B-CLK) をもとに内部の動作用クロックを生成するPLL (phase locked loop) 回路11b、及びPLL (phase locked loop) 回路11bで生成したクロックの内部回路への供給を制御する内部クロック制御回路 (G) 11c等が設けられる。

【0034】12はマイクロプロセッサを用いてインテリジェントパワーサプライを実現したシステム電源制御部 (PSC) であり、A/D (アナログ-デジタル) 変換回路12a、及び電源制御マイクロプロセッサ (μ p) 12bを有して、電源制御マイクロプロセッサ (μ p) 12bがA/D 変換回路12aを介し、各種の監視対象からの信号状態を入力し認識して、動作用電源のオン/オフ制御を含む各種の電源及び動作制御を行なう。ここでは、上記A/D (アナログ-デジタル) 変換回路12aに、上記CPU11の内部に設けたPN接合回路素子11aの専用ピン (Pc, Pd) から得られる温度検知信号 (TH) が入力され、電圧変化を伴うアナログ量の温度検知信号 (TH) がデジタル量の信号に変換される。このデジタル化された温度検知信号 (TH) は電源制御マイクロプロセッサ (μ p) 12bで認識され、予め定められた設定電圧値と比較されて、温度検知信号 (TH) の値が設定電圧値を超えたとき、その状態を通知するCPU温度制御コマンド (command) をステータスLCD制御ゲートアレイ (SLCDC-GA) 13内のステータスレジスタにセットし、SMI発行コマンドを同ゲートアレイ内のSMIレジスタにセットする。

【0035】13はステータスレジスタ、SMIレジスタ等の各種レジスタ群をもつ周辺制御ゲートアレイであり、ここでは、図示しないステータスLCDの表示制御を主要機能としたステータスLCD制御ゲートアレイ (SLCDC-GA) を例に示している。この実施例では、当該ゲートアレイがもつステータスレジスタ及びSMIレジスタを用いた割込み発生機能を利用して、システム電源制御部 (PSC) 12より、上記温度検知信号 (TH) が設定電圧値を超えた際に発行される各種のCPU温度制御コマンド (command) に対し、所定のステータスレジスタ及びSMIレジスタをセットして、システム管理割込み (SMI) を発行する。

【0036】14はシステム制御のための各種のロジックが組み込まれたシステムコントロールゲートアレイ (SYS·CONT-GA) であり、ここではステータスLCD制御ゲートアレイ (SLCDC-GA) 13より受けたCPU温度制御のシステム管理割込み (SMI) を1要因にCPU11にシステム管理割込み (SMI) をかけ、又、CPU11の制御の下に、クロック切換制御信号 (CLK-C)、クロック停止制御信号 (S

TP-CLK) 等を出力する。

【0037】15はCPU11の動作クロックの基となる基準クロック信号 (B-CLK) を生成し出力するクロック制御回路 (CLK-CONT) であり、ここではシステムコントロールゲートアレイ (SYS·CONT-GA) 14から出力されるクロック切換制御信号 (CLK-C) を受けてクロック周波数を切換制御する。ここでは、クロック切換制御信号 (CLK-C) を受けると、CPU11に供給するクロックを所定比率で低減する。

【0038】図2 (a) は上記CPU11のチップ内集積回路基板上に設けられる、当該チップ内部の温度を測定するための、例えば、シリコンダイオードを構成するPN接合回路素子11aの構成例を示すもので、図中、P-SubはP型半導体集積回路基板、CPU-areaはキャッシュメモリ付きCPU11の回路実装領域、N-wellはN型ウェルである。

【0039】図3及び図4はそれぞれ上記実施例に於ける、温度-処理の関係を示す図である。

【0040】図中、Tsd, Trst, Tpofは、それぞれCPU11のチップ内温度制御のための設定温度であり、システム電源制御部 (PSC) 12の電源制御マイクロプロセッサ (μ p) 12bにより、CPU11のチップ内温度を表わす温度検知信号 (TH) と比較されるもので、[Tsd < Trst < Tpof] に設定される。

【0041】即ち、Tsdは、CPU11のスピードをダウンさせるための設定温度であり、CPU11のチップ内温度 (CPU-TH) が、当該設定温度 Tsdに達した際に、電源制御マイクロプロセッサ (μ p) 12bより、システムコントロールゲートアレイ (SYS·CONT-GA) 14を介して、システム管理割込み (SMI) を発行し、CPU11のスピード (クロックスピード) をダウンさせ、CPU11の発熱量を減じる。

【0042】又、Trstは、CPU11のスピードダウン制御を解除 (リセット) させるための設定温度であり、CPU11のチップ内温度 (CPU-TH) が、当該設定温度 Trstまで下降したならば、上記スピードダウンを解除して、セットアップ又は他の設定手段に従った通常の処理スピードに復帰させる。

【0043】又、Tpofは、装置 (システム本体) を強制パワーオフさせるための設定温度であり、上記Tsdによりスピードダウン制御しても、周囲環境等、使用条件が悪く、CPU11のチップ内温度 (CPU-TH) が更に上昇して、当該設定温度 Tpofに達したとき、システム管理割込み (SMI) を発行し、オートリジューム処理 (suspend処理の後、パワーオフ処理) を実行する。

【0044】尚、この際の電源制御マイクロプロセッサ (μ p) 12bによるチップ内温度 (CPU-TH) の具体的な認識手段については、例えば、A/D (アナログ-デジタル) 変換回路12aを介して入力された電圧を、

時間 t の期間、積分し、平均値をある時点での電圧とする。

【0045】

$$V1 = \Sigma (\Delta V1) / t \quad \dots \dots \dots (1)$$

この $V1$ と、既知の CPU 基準温度 $T0$ 、及びその電圧 $V0$ と、温度ドリフト係数 A とから、このときのチップ内温度 $T1$ が分かる。

【0046】

$$T1 = (V1 - V0) / A + T0 \quad \dots \dots \dots (2)$$

この (2) 式で得られた温度 $T1$ を上記 CPU 11 のチップ内温度 (CPU-TH) として、上記設定温度 Tsd 、 $Trst$ 、 $Tpof$ と比較する。

【0047】図3は上記 Tsd 及び $Trst$ に従う処理を示したもので、 $P1$ はシステム管理割込み (SMI) を発行して、CPU 11 をスピードダウンさせるタイミングを示し、 $P2$ はシステム管理割込み (SMI) を発行して、CPU 11 のスピードを元に戻すタイミングを示す。

【0048】図4は上記 $Tpof$ に従う処理を示したもので、 Pa はシステム管理割込み (SMI) を発行し、オートリジューム処理 (サスペンションの後、パワーオフ処理) を実行するタイミングを示している。

【0049】図5は上記実施例に於いて、システム電源制御部 (PSC) の電源制御マイクロプロセッサ (μp) 12b で実行される CPU 温度制御処理ルーチンを示すフローチャートである。

【0050】図6は上記実施例に於いて、CPU 11 で実行される CPU 温度制御の SMI 処理ルーチンを示すフローチャートである。

【0051】図9は上記実施例に於ける CPU 温度制御によるクロック低減制御動作を説明するためのタイムチャートである。

【0052】ここで、上記各図を参照して本発明の一実施例に於ける動作を説明する。尚、この一実施例では、CPU 11 のチップ内温度を低減する際の制御に、上記制御端子 (Pa) に供給された停止制御信号 (STP-CLK) を本来のクロック停止の制御 (図10参照) に用いず、これに代って、図9に示すように、CPU 11 に供給するクロックの周波数を下げるスピードを落とす際の切り換え制御に用いて、チップ内温度を低減する CPU 温度制御を例にとる。

【0053】CPU 11 のチップ内集積回路基板上に設けられた PN 接合回路素子 11a の両端 (アノード、カソード) を外部に導出する専用ビン (Pc , Pd) には、図1、図2に示すように、順方向電流路が形成され、チップ内温度の上昇に伴う PN 接合回路素子 11a の温度ドリフトにより、ビン (Pc , Pd) 間電圧が変化する。

【0054】即ち、上記 PN 接合回路素子 11a は、当該チップ内で発生する熱を直接に受け、チップ内の温度上昇に伴い、-2~-2.5mv/°C 程度の温度ドリフト特性を

もって、専用ビン (Pc , Pd) の検出電圧を変化させる。この専用ビン (Pc , Pd) より得られる電圧変化に伴う信号が温度検知信号 (TH) として CPU のチップ外部へ導出される。

【0055】この CPU チップの専用ビン (Pc , Pd) より得られる温度検知信号 (TH) は、システム電源制御部 (PSC) 12 に設けられた A/D 変換回路 12a に入力され、電圧変化を伴うアナログ量の温度検知信号 (TH) がデジタル量の信号に変換される。

【0056】このデジタル化された温度検知信号 (TH) は電源制御マイクロプロセッサ (μp) 12b で認識され、予め定められた設定電圧値と比較されて、温度検知信号 (TH) の値が設定電圧値を超えたとき、その状態を通知する CPU 温度制御コマンド (command) をステータス LCD 制御ゲートアレイ (SLCDC-GA) 13 内のステータスレジスタにセットする。

【0057】即ち、システム電源制御部 (PSC) 12 の電源制御マイクロプロセッサ (μp) 12b は、CPU 温度チェックルーチンに於いて、内部レジスタに設けたクロック低減制御フラグ (F) を参照し (図5ステップ S1) 、同フラグがオフであるとき、上記温度検知信号 (TH) に従うチップ内温度 (CPU-TH) を設定温度 Tsd と比較し、CPU 11 のチップ内温度 (CPU-TH) が設定温度 Tsd に達しているか否かを判断する (図5ステップ S2) 。

【0058】この際、電源制御マイクロプロセッサ (μp) 12b は、温度検知信号 (TH) に従うチップ内温度 (CPU-TH) が設定温度 Tsd に達したことを認識すると (図3の $P1$ タイミング参照) 、内部のレジスタに設けたクロック低減制御フラグ (F) をオンにして (図5ステップ S3) 、クロック低減制御を指示する CPU 温度制御コマンドを発行し、同コマンドをステータス LCD 制御ゲートアレイ (SLCDC-GA) 13 内のステータスレジスタにセットするとともに、SMI レジスタをセットして、同レジスタを介しシステムコントロールゲートアレイ (SYS・CONT-GA) 14 よりシステム管理割込み (SMI) を発行する (図5ステップ S4, S5) 。

【0059】このシステム管理割込み (SMI) は CPU 11 の強制割込み端子 (Pb) に入力される。

【0060】CPU 11 は強制割込み端子 (Pb) にシステム管理割込み (SMI) を受けると、システムバス (SYS-BUS) を介してステータス LCD 制御ゲートアレイ (SLCDC-GA) 13 のレジスタ内容を読み (図6ステップ S21) 、そのレジスタ内容がクロック低減制御を指示する CPU 温度制御のコマンド内容であるとき (図6ステップ S22) 、システムバス (SYS-BUS) を介してシステムコントロールゲートアレイ (SYS・CONT-GA) 14 よりクロック停止制御信号 (STP-CLK) を出力し、その後、クロック切換制御信号 (C

LK-C) を出力する (図6ステップS23)。

【0061】このクロック停止制御信号 (STP-CLK) はCPU11の制御端子 (Pa) に供給され、クロック切換制御信号 (CLK-C) はクロック制御回路 (CLK-CONT) 15に供給される。

【0062】CPU11はクロック停止制御信号 (STP-CLK) を受けると、現在のクロック周期による処理を所定の処理単位で終了し、新たなクロックスピードの処理に移行するための準備に入る。又、クロック制御回路 (CLK-CONT) 15は、クロック切換制御信号 (CLK-C) を受けると、CPU11に供給するクロックを所定比率で低減する。

【0063】これにより、CPU11のクロックスピードが低減され、これに伴い発熱量が低減して、CPU11のチップ内温度が下降するよう制御される。

【0064】又、クロック低減制御フラグ (F) を参照し (図5ステップS1)、同フラグ (F) がオンになっているときは、温度検知信号 (TH) を設定温度Tpofと比較し、CPU11のチップ内温度 (CPU-TH) が設定温度Tpofに達しているか否かを判断する (図5ステップS7)。

【0065】ここでCPU11のチップ内温度 (CPU-TH) が設定温度Tpofに達したことを認識すると、オートリジューム実行コマンドを発行し、ステータスLCD制御ゲートアレイ (SLCDC-GA) 13内のステータスレジスタにセットして、同レジスタを介しシステムコントロールゲートアレイ (SYS·CONT-GA) 14よりシステム管理割込み (SMI) を発行する (図5ステップS12, S13)。

【0066】CPU11はシステム管理割込み (SMI) を受けると、システムバス (SYS-BUS) を介してステータスLCD制御ゲートアレイ (SLCDC-GA) 13のレジスタ内容を読み (図6ステップS21)、そのレジスタ内容がオートリジューム実行コマンドであるとき (図6ステップS28)、サスベンド処理を実行し (図6ステップS29)、オートパワーオフ処理を実行する (図6ステップS30)。

【0067】又、クロック低減制御フラグ (F) がオンで (図5ステップS1)、CPU11のチップ内温度 (CPU-TH) が設定温度Tpofに達していないときは (図5ステップS7)、温度検知信号 (TH) を設定温度Trstと比較し、CPU11のチップ内温度 (CPU-TH) が設定温度Trstまで下降したか否かを判断する (図5ステップS8)。

【0068】ここでCPU11のチップ内温度 (CPU-TH) が設定温度Trstまで下降したことを認識すると、クロック低減制御フラグ (F) をオフにし (図5ステップS9)、クロック低減解除コマンドを発行し、ステータスLCD制御ゲートアレイ (SLCDC-GA) 13内のステータスレジスタにセットして、同レジスタを介

しシステムコントロールゲートアレイ (SYS·CONT-GA) 14よりシステム管理割込み (SMI) を発行する (図5ステップS10, S11)。

【0069】CPU11はシステム管理割込み (SMI) を受けると、システムバス (SYS-BUS) を介してステータスLCD制御ゲートアレイ (SLCDC-GA) 13のレジスタ内容を読み (図6ステップS21)、そのレジスタ内容がクロック低減解除のCPU温度制御コマンドであるとき (図6ステップS25)、クロック低減解除コマンドを発行し、システムバス (SYS-BUS) を介してシステムコントロールゲートアレイ (SYS·CONT-GA) 14より出力されていたクロック切換制御信号 (CLK-C) を解除する (図6ステップS26)。

【0070】クロック制御回路 (CLK-CONT) 15は、クロック切換制御信号 (CLK-C) が解除されると、CPU11に供給するクロックをセットアップ又は他の設定手段に従ったもとのスピードに戻し、CPU11の動作を通常の処理スピードに復帰させる。

【0071】上記した一実施例では、CPU11のチップ内温度を低減する際の制御として、CPU11に供給するクロックの周波数を下げてスピードを落とし、チップ内温度を低減する制御を例に示したが、これに代り、図10に示すように、CPU温度制御SMIの発行に伴いCPU11の制御端子 (Pa) に供給される停止制御信号 (STP-CLK) により内部クロック (CPU-CLK) を間欠的に一定時間停止制御する温度低減制御手段を用いることも可能である。

【0072】即ち、電源制御マイクロプロセッサ (μ p) 12bは、CPU11のチップ内温度 (CPU-TH) が設定温度Tsdに達したことを認識すると (図3のP1タイミング参照)、内部のレジスタに設けたクロック低減制御フラグ (F) をオンにして、クロック停止コマンドを発行し、ステータスLCD制御ゲートアレイ (SLCDC-GA) 13内のステータスレジスタにセットして、同レジスタを介しシステムコントロールゲートアレイ (SYS·CONT-GA) 14よりシステム管理割込み (SMI) を発行する。

【0073】CPU11はシステム管理割込み (SMI) を受けると、システムバス (SYS-BUS) を介してステータスLCD制御ゲートアレイ (SLCDC-GA) 13のレジスタ内容を読み、そのレジスタ内容がクロック停止コマンドであるとき、システムバス (SYS-BUS) を介してシステムコントロールゲートアレイ (SYS·CONT-GA) 14よりクロック停止制御信号 (STP-CLK) を出力させる。

【0074】このクロック停止制御信号 (STP-CLK) はCPU11の制御端子 (Pa) に入力される。

【0075】CPU11は制御端子 (Pa) にクロック停止制御信号 (STP-CLK) を受けると、内部クロックを間欠的に一定時間停止制御して一定周期の休止期間

を介在して処理を実行する。この一定周期の休止期間が介在することにより、CPU11のチップ内温度が下降するよう温度低減制御される。

【0076】そしてCPU11のチップ内温度(CPU-T_H)が設定温度Trstまで下降したことを認識すると、上記クロック停止制御を解除し、通常動作に復帰する。

【0077】このようなチップ内温度制御によって、CPU11のチップ内温度変化を迅速かつ正確にCPU11の内部回路に制御に反映させて、CPU11のチップ内温度上昇を抑制制御できる。

【0078】又、上記した、クロック周波数を低減する温度制御、又は、内部クロックを間欠的に一定時間停止制御して一定周期の休止期間を介在する温度制御に代り、図11に示すように、SMIの発行で、HALT命令を実行する温度制御も可能である。即ち、CPU温度制御のSMIが発行されたならば、HALT命令を実行し、一定時間後、割込み等を発生して通常動作に移る。このHALT状態下に於いて内部の回路動作が停止状態となることから、チップ内温度の発熱量が減少する。

【0079】次に、図2(b)、(c)、図7、図8を参照して本発明の他の各実施例について説明する。

【0080】図2(b)、(c)、図7、及び図8は、それぞれCPU11のチップ内温度検知素子の他の各実施例を示している。

【0081】図2(b)は、CPU11のチップ内の集積回路基板上に、当該チップの内部温度を測定するための素子として、同図(a)に示す一実施例のPN接合回路素子11aに代えて、トランジスタ回路素子を熱発生部分(ホットスポット)近傍に設けた例を示している。

【0082】このようなトランジスタ回路素子による温度検知回路に於いても、上記した同図(a)に示す一実施例のPN接合回路素子11aと同様に温度ドリフト特性をもつことから、ベースーエミッタ間電圧を監視することにより、当該チップ内の温度を直接、監視することができる。

【0083】図2(c)は、CPU11のチップ内の集積回路基板に、当該チップの内部温度を測定するための素子として、同図(a)に示す一実施例のPN接合回路素子11aに代えて、サーミスタ回路素子を熱発生部分(ホットスポット)近傍に埋め込んだ例を示している。

【0084】このようなサーミスタ回路素子による温度検知回路に於いては、サーミスタ回路素子の温度変化に伴う抵抗値の変化を電圧で検知することにより、当該チップ内の温度を直接、監視することができる。

【0085】図7は、CPU11のチップ内集積回路基板の熱発生部分(ホットスポット)近傍に、当該チップの内部温度を測定するための素子として、バッファ回路50を埋め込み、チップ内の温度変化で生じる応答遅延を利用して、チップ内の温度を測定する構成としている。この際は、バッファ回路50に一定周波数の基準ク

ロック(B-CLK)を印加し、その出力を位相比較器(PH-COM)59に入力して、もとの基準クロック(B-CLK)と位相比較をとり、そのデューティ比に従うアナログ量の信号から当該チップ内温度を検出する。

【0086】図8は、CPU11の集積回路基板61と一緒に温度測定素子(チップ)62をモールド樹脂成型して、CPUチップ60を構成したものの、集積回路基板61上の熱発生部分(ホットスポット)に、温度測定素子62を設け、専用ピン(Pi, Pj)をもつことで、上記した一実施例と同様の温度制御が可能となる。

【0087】又、上記した図2(a), (b), (c)、図7、図8の各実施例に於いて、温度検知素子を集積回路基板上に1箇所だけでなく、複数箇所に設けてチップ内温度を検知する構成としてもよい。この際は、集積回路基板上の複数箇所にそれぞれ温度検知素子を散在して設け、これら各温度検知素子を直列に接続して、専用の1本又は2本のピンを温度検知用に割り付ける構成、又は、集積回路基板上の複数箇所にそれぞれ温度検知素子を散在して設けた各温度検知素子各々に、専用の1本又は2本のピンを割り付ける構成のいずれに於いても、検知精度及び応答性能をより向上できる。

【0088】又、上記した実施例では、温度検知素子に、専用の2本のピンが割り付けていたが、例えば上記素子の一端をグランド(GND)又は他の特定ピンに接続し、温度検知素子に1本の専用ピンを割り付ける構成としてもよい。

【0089】

【発明の効果】以上詳記したように本発明によれば、チップ内部の温度変化を迅速かつ正確に認識できる1チップコントローラが提供できる。又、1チップコントローラ内部の温度変化を迅速かつ正確に1チップコントローラ内部の回路制御に反映させて、1チップコントローラを使用限界に近い状態にて効率よく駆動制御できる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図。

【図2】上記実施例に於けるCPUチップ内の温度検知回路素子の実装例(同図(a))と、他の実施例に於ける温度検知回路素子の実装例(同図(b), (c))とを示す図。

40 【図3】上記実施例に於ける温度-処理の関係を示す図。

【図4】上記実施例に於ける温度-処理の関係を示す図。

【図5】上記実施例に於けるCPU温度制御処理手順を示すフローチャート。

【図6】上記実施例に於けるCPU温度制御処理手順を示すフローチャート。

【図7】本発明の他の実施例に於ける温度検知回路素子の実装例を示す図。

50 【図8】本発明の他の実施例に於ける温度検知回路素子

の実装例を示す図。

【図9】本発明の他の実施例に於けるクロック低減制御を説明するためのタイムチャート。

【図10】本発明の他の実施例に於けるクロック停止制御を説明するためのタイムチャート。

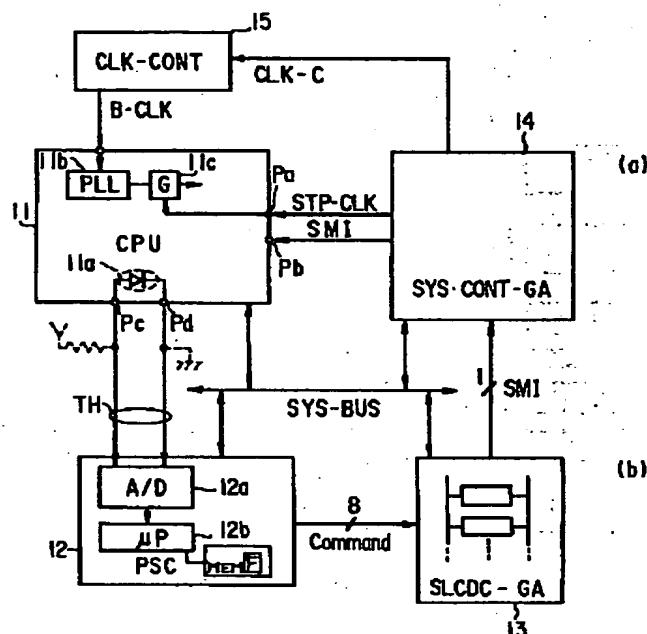
【図11】本発明の他の実施例に於けるHALT制御を説明するためのタイムチャート。

【符号の説明】

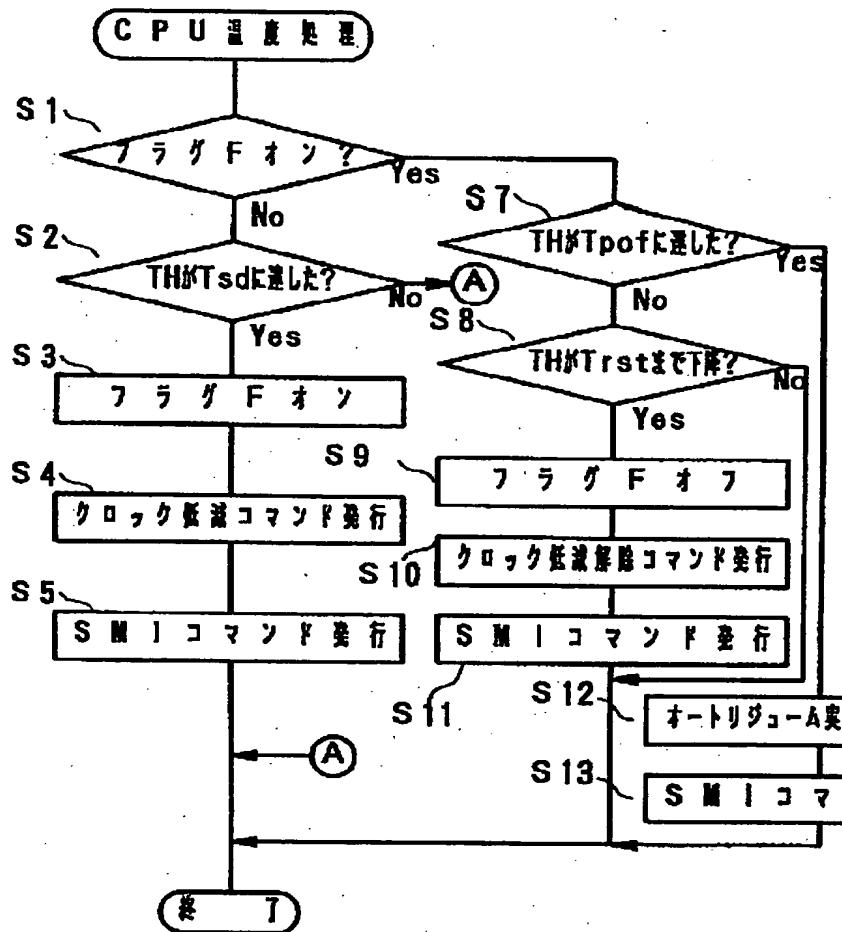
1 1…CPU (1チップ化されたCPUデバイス)、1

1 a…PN接合回路素子、1 1 b…PLL (phase lock ed loop) 回路、1 1 c…内部クロック制御回路
(G)、1 2…システム電源制御部 (PSC)、1 2 a…A/D変換回路、1 2 b…電源制御マイクロプロセッサ (μ P)、1 3…周辺制御ゲートアレイ (SLCDC - GA)、1 4…システムコントロールゲートアレイ (SYS - CONT - GA)、1 5…クロック制御回路 (CLK - CONT)。

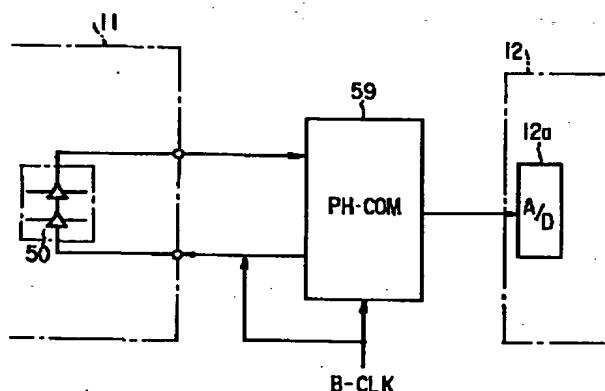
【図1】



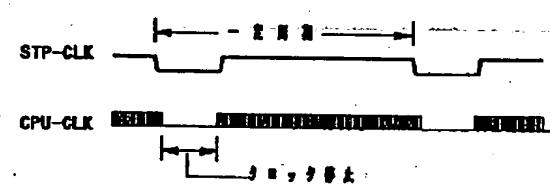
【図5】



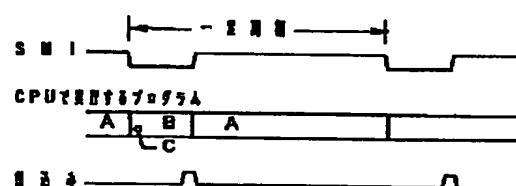
【図7】



【図10】

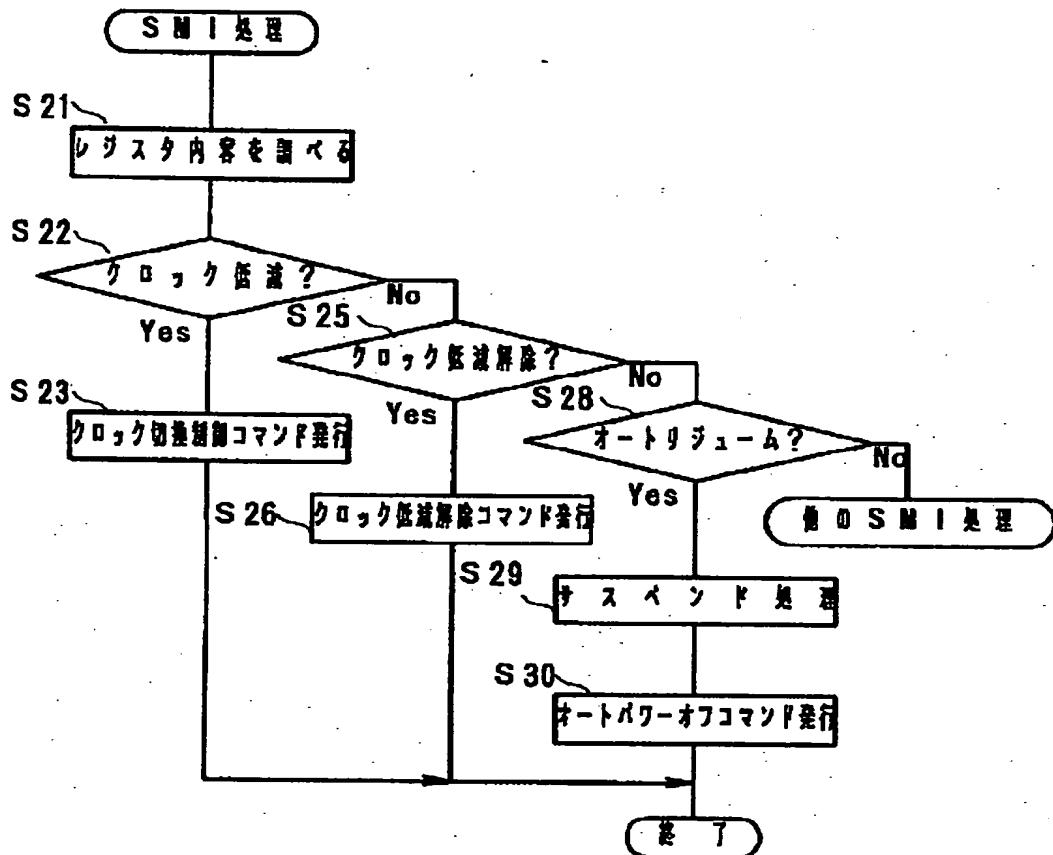


【図11】



A : 通常のプログラム処理
 B : SMI 处理ルーチン
 C : SMI 处理ルーチンの中で実行される
 HALT命令及びHALT-State

【図6】



THIS PAGE BLANK (USPTO)